

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-162948

(P2002-162948A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)
G 0 9 G 3/36		C 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	C 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	C 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 1 2		6 1 2 D
	6 2 4		6 2 4 D

審査請求 未請求 請求項の数10 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2001-243091(P2001-243091)

(22) 出願日 平成13年8月10日(2001.8.10)

(31) 優先権主張番号 特願2000-282173(P2000-282173)

(32) 優先日 平成12年9月18日(2000.9.18)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 横山 良一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 米田 清

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 10010/906

弁理士 須藤 克彦 (外1名)

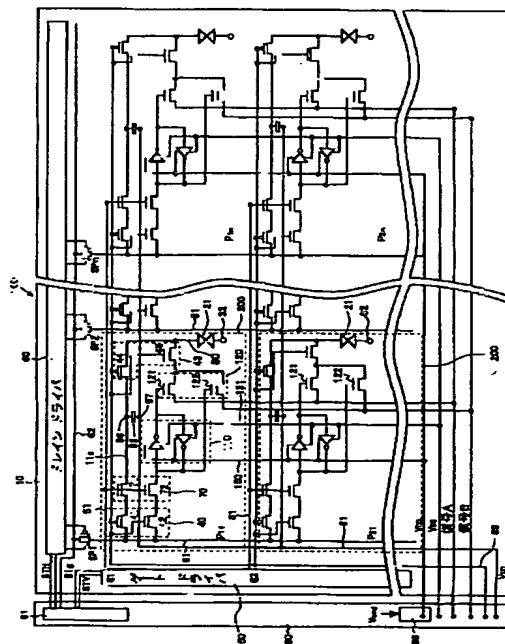
最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】 保持回路110へのデータの誤書き込みを防止すると共に、低消費電力化及び表示画素の高集積化を図る。

【解決手段】 表示画素にデジタル映像データを保持するための保持回路を備えた表示装置において、データ書き込み時には、保持回路110に供給される電源電圧をデータ保持に必要な最小電圧に設定し、書き込み終了後に、昇圧回路95により保持回路110に供給される電源電圧を昇圧する。保持回路110はゲート信号線51から入力される信号に応じて、ドレイン信号線61からのデジタル映像信号が書き込まれると共に該デジタル映像信号を保持する。そして、保持回路110に保持された信号に応じて表示が行われる。



【特許請求の範囲】

【請求項1】 基板上の一方に配置された複数のゲート信号線と、前記ゲート信号線と交差する方向に配置された複数のドレイン信号線と、前記ゲート信号線からの走査信号により選択されると共に前記ドレイン信号線から映像信号が供給される表示画素がマトリックス状に配置された表示装置において、

前記ゲート信号線から入力される信号に応じて前記ドレイン信号線からのデジタル映像信号が書き込まれると共に該デジタル映像信号を保持する保持回路と、前記デジタル映像信号の書き込み終了後に前記保持回路に供給される電源電圧を昇圧する昇圧回路とを備え、前記保持回路の出力に応じて表示を行うことを特徴とする表示装置。

【請求項2】 前記保持回路は正帰還された2段のインバータ回路から成ることを特徴とする請求項1に記載の表示装置。

【請求項3】 前記インバータ回路はCMOS型インバータ回路であることを特徴とする請求項2に記載の表示装置。

【請求項4】 前記保持回路の出力に応じて表示電極に供給する信号を選択する信号選択回路を備え、該信号選択回路は前記保持回路からの信号がゲートに印加された複数の薄膜トランジスタから成ることを特徴とする請求項1に記載の表示装置。

【請求項5】 前記昇圧回路により昇圧された電源電圧は、前記表示電極に供給する信号に前記薄膜トランジスタのしきい値電圧を加えた電圧より高いことを特徴とする請求項4に記載の表示装置。

【請求項6】 基板上の一方に配置された複数のゲート信号線と、前記ゲート線と交差する方向に配置された複数のドレイン信号線と、前記ゲート信号線からの走査信号により選択され、前記ドレイン信号線から映像信号が供給される共にマトリックス状に配置された表示画素と、前記表示画素内に前記ゲート信号線から入力される信号に応じて前記ドレイン信号線からのデジタル映像信号が書き込まれると共にそのデジタル映像信号を保持する保持回路と、

前記保持回路に供給される電源電圧を昇圧する昇圧回路とを備え、前記保持回路の出力に応じて表示を行う表示装置の駆動方法において、

前記ゲート信号線から入力される信号に応じて前記ドレイン信号線からのデジタル映像信号を前記保持回路に書き込んだ後に、前記昇圧回路により前記保持回路に供給される電源電圧を昇圧し、前記デジタル映像信号に応じた画像表示を行うことを特徴とする表示装置の駆動方法。

【請求項7】 前記保持回路は正帰還された2段のインバータ回路から成ることを特徴とする請求項6に記載の表示装置の駆動方法。

【請求項8】 前記インバータ回路はCMOS型インバータ回路であることを特徴とする請求項7に記載の表示装置の駆動方法。

【請求項9】 前記保持回路の出力に応じて表示電極に供給する信号を選択する信号選択回路を備え、該信号選択回路は前記保持回路からの信号がゲートに印加された複数の薄膜トランジスタから成ることを特徴とする請求項6に記載の表示装置の駆動方法。

【請求項10】 前記昇圧回路により昇圧された電源電圧は、前記表示電極に供給する信号に前記薄膜トランジスタのしきい値電圧を加えた電圧より高いことを特徴とする請求項9に記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示装置及びその駆動方法に関し、特に携帯可能な表示装置に用いて好適な表示装置及びその駆動方法に関する。

【0002】

【従来の技術】近年、携帯可能な表示装置、例えば携帯テレビ、携帯電話等が市場ニーズとして要求されている。かかる要求に応じて表示装置の小型化、軽量化、省消費電力化に対応すべく研究開発が盛んに行われている。

【0003】図7に従来例に係る液晶表示装置の一表示画素の回路構成図を示す。絶縁性基板（不図示）上に、ゲート信号線51、ドレイン信号線61とが交差して形成されており、その交差部近傍に両信号線51、61に接続された画素選択TFT65が設けられている。TFT65のソース11sは液晶21の表示電極80に接続されている。

【0004】また、表示電極80の電圧を1フィールド期間、保持するための補助容量85が設けられており、この補助容量85の一方の端子86はTFT65のソース11sに接続され、他方の電極87には各表示画素に共通の電位が印加されている。

【0005】ここで、ゲート信号線51に走査信号が印加されると、TFT65はオン状態となり、ドレイン信号線61からアナログ映像信号が表示電極80に伝達されると共に、補助容量85に保持される。表示電極80に印加された映像信号電圧が液晶21に印加され、その電圧に応じて液晶21が配向することにより液晶表示を得ることができる。

【0006】したがって、動画像、静止画像に関係なく表示を得ることができる。かかる液晶表示装置に静止画像を表示する場合、例えば携帯電話の液晶表示部の一部に携帯電話を駆動するためのバッテリーの残量表示として、乾電池の画像を表示することになる。

【0007】しかしながら、上述した構成の液晶表示装置においては、静止画像を表示する場合であっても、動画像を表示する場合と同様に、走査信号でTFT65を

オン状態にして、映像信号を各表示画素に再書き込みする必要が生じていた。

【0008】そのため、走査信号及び映像信号等の駆動信号を発生するためのドライバ回路、及びドライバ回路の動作タイミングを制御するための各種信号を発生する外部LSIは常時動作するため、常に大きな電力を消費していた。このため、限られた電源しか備えていない携帯電話等では、その使用可能時間が短くなるという欠点があった。

【0009】これに対して、各表示画素にスタティック型メモリを備えた液晶表示装置が開平8-194205号に開示されている。同公報の一部を引用して説明すると、この液晶表示装置は、図8に示すように、2段インバータINV1、INV2を正帰還させた形のメモリ、即ちスタティック型メモリをデジタル映像信号の保持回路として用いることにより、消費電力を低減するものである。

【0010】ここで、スタティック型メモリに保持された2値デジタル映像信号に応じて、スイッチ素子24は参照線Vrefと表示電極80との間の抵抗値を制御し、液晶21のバイアス状態を調整している。一方、共通電極には交流信号Vcomを入力する。本装置は理想上、静止画像のように表示画像に変化がなければ、メモリへのリフレッシュは不要である。

【0011】上述したように、デジタル映像信号を保持するためのスタティック型メモリを備えた液晶表示装置では、低階調度の静止画像を表示すると共に、消費電力を低減するのに適している。

【0012】

【発明が解決しようとする課題】しかしながら、上述した構成の液晶表示装置は以下の問題点を有していた。この問題点について図9を参照しながら説明する。いま、画素選択TF T 65のソース11sが「L（ロウ）」レベルであり、インバータINV1の出力ノードに「H（ハイ）」レベルが保持されているとする。

【0013】この保持状態から、外部回路よりドレイン信号線61に「H」を出力し、スタティック型メモリに「H」の書き込みを行う場合、インバータINV2のNチャンネル型TF T がオンしているので、図の破線で示すように、ドレイン信号線61→TF T 65→Nチャンネル型TF T の経路で電流が流れる。つまり、「H」レベルと「L」レベルの引っ張り合いが起こり、「H」の低下により誤書き込みが生じるおそれがある。

【0014】ここで、「H」のデータを正常に書き込むためには、TF T 65のソース11sがインバータINV1のしきい値電圧より高くするという条件を満足しなければならないが、上記の電流経路が存在するためにTF T 65のソース11sが低下してしまうおそれがある。

【0015】そこで、上記条件を満足するためには次の

対策が考えられる。

①外部回路からドレイン線61に供給する「H」レベルの電圧を高くする。

②画素TF T 65のオン抵抗を下げるためにゲート信号線51が選択された時の電圧を高くするか、TF T 65のチャンネル幅を大きくする。

【0016】しかしながら、①は外部回路の電源電圧が上昇するため消費電力が増加してしてしまうという欠点がある。②はゲートドライバの電源電圧の上昇、TF T サイズが増加し、画素の微細ピッチでのレイアウトが困難となるという欠点がある。

【0017】本発明は、表示画素にデジタル映像データを保持するためのスタティック型メモリを備えた表示装置において、当該スタティック型メモリへのデータの誤書き込みを防止すると共に、低消費電力化及び画素の微細レイアウトを可能とした表示装置を提供するものである。

【0018】

【課題を解決するための手段】本願に開示される発明のうち、主なものの概要を説明すれば以下の通りである。

【0019】すなわち、本発明の第1の構成は、基板上の一方向に配置された複数のゲート信号線と、前記ゲート線と交差する方向に配置された複数のドレイン信号線と、前記ゲート信号線からの走査信号により選択されると共に前記ドレイン信号線から映像信号が供給される表示画素がマトリクス状に配置された表示装置において、前記表示画素内に配置され、前記ゲート信号線から入力される信号に応じて前記ドレイン信号線からのデジタル映像信号が書き込まれると共にそのデジタル映像信号を保持する保持回路と、前記デジタル映像信号の書き込み終了後に前記保持回路に供給される電源電圧を昇圧する昇圧回路とを備え、前記保持回路の出力に応じて表示を行うものである。

【0020】かかる構成によれば、保持回路に供給する電源電圧を書き込み時には、デジタル映像信号を保持できる程度に低く設定し、書き込み後の表示時には良好な画像が得られる程度に高く設定することができるので、当該保持回路へのデジタル映像信号の誤書き込みを防止すると共に、低消費電力化を図ることができる。

【0021】また、上記構成によれば、画素選択素子を小さくすることができるので画素の微細レイアウトを行う可能となる。

【0022】上記構成において、前記保持回路は正帰還された2段のインバータ回路から構成することにより、回路素子数を最小限にすることができる。また、インバータ回路は低消費電力化のためにはCMOS型インバータであることが望ましい。

【0023】また上記構成において、前記保持回路の出力に応じて表示電極に供給する信号を選択する信号選択回路を備え、該信号選択回路は前記保持回路からの信号

がゲートに印加された複数の薄膜トランジスタから成る。保持回路の出力に応じた表示を可能にすると共に、信号選択回路の回路素子数を低減するためである。

【0024】更に、上記構成において、前記昇圧回路により昇圧された電源電圧は、前記表示電極に供給する信号に前記薄膜トランジスタのしきい値電圧を加えた電圧より高いことである。これにより、表示電極に供給する信号が低下するのが防止されるので、コントラストの良い、良質な画像表示を得ることができる。

【0025】また、本発明の表示装置の駆動方法は、基板上の一方向に配置された複数のゲート信号線と、前記ゲート線と交差する方向に配置された複数のドレイン信号線と、前記ゲート信号線からの走査信号により選択され、前記ドレイン信号線から映像信号が供給される共にマトリックス状に配置された表示画素と、前記表示画素内に前記ゲート信号線から入力される信号に応じて前記ドレイン信号線からのデジタル映像信号が書き込まれると共にそのデジタル映像信号を保持する保持回路と、前記保持回路に供給される電源電圧を昇圧する昇圧回路とを備える表示装置の駆動方法において、前記ゲート信号線から入力される信号に応じて前記ドレイン信号線からのデジタル映像信号を前記保持回路に書き込んだ後に、前記昇圧回路により前記保持回路に供給される電源電圧を昇圧し、前記保持回路によって保持されたデジタル映像信号に応じて画像表示を行うものである。

【0026】かかる構成によれば、当該保持回路へのデジタル映像信号の誤書き込みを防止すると共に、低消費電力化を図ることができる。

【0027】

【発明の実施の形態】次に、本発明の実施形態に係る表示装置について説明する。図1に第1の実施形態に係る液晶表示装置の回路構成図を示す。

【0028】絶縁基板10上に、走査信号を供給するゲートドライバ50に接続された複数のゲート信号線51が一方向に配置されており、これらのゲート信号線51と交差する方向に複数のドレイン信号線61が配置されている。

【0029】ドレイン信号線61には、ドレインドライバ60から出力されるサンプリングパルスのタイミングに応じて、サンプリングトランジスタSP1、SP2、…、SPnがオンし、データ信号線62のデータ信号（アナログ映像信号又はデジタル映像信号）が供給される。

【0030】液晶表示パネル100は、ゲート信号線51からの走査信号により選択されると共に、ドレイン信号線61からのデータ信号が供給される複数の表示画素200がマトリックス状に配置されて構成されている。

【0031】以下、表示画素200の詳細な構成について説明する。ゲート信号線51とドレイン信号線61の交差点近傍には、Pチャネル型TFT41及びNチャネ

ル型42から成る回路選択回路40が設けられている。TFT41、42の両ドレインはドレイン信号線61に接続されると共に、それらの両ゲートは回路選択信号線88に接続されている。TFT41、42は、回路選択信号線88からの回路選択信号に応じていずれか一方がオンする。また、後述するように回路選択回路40と対を成して、Pチャネル型TFT44及びNチャネル型TFT45から成る回路選択回路43が設けられている。

【0032】これにより、後述するアナログ表示モード（フルカラー動画像対応）とデジタル表示モード（低消費電力、静止画像対応）とを選択して切り換えることが可能となる。また、回路選択回路40に隣接して、Nチャネル型TFT71及びNチャネル型TFT72から成る画素選択回路70が配置されている。TFT71、72はそれぞれ回路選択回路40のTFT41、42と縦列に接続されると共に、それらの両ゲートにはゲート信号線51が接続されている。TFT71、72はゲート信号線51からの走査信号に応じて両方が同時にオンするように構成されている。

【0033】また、アナログ映像信号を保持するための補助容量85が設けられている。補助容量85の一方の電極86はTFT71のソース11sに接続されている。他方の電極87は共通の補助容量線81に接続され、バイアス電圧Vscが供給されている。TFT71のゲートが開いてアナログ映像信号が液晶21に印加されると、その信号は1フィールド期間保持されなければならないが、液晶21のみではその信号の電圧は時間経過とともに次第に低下してしまう。そうすると、表示むらとして現れてしまい良好な表示が得られなくなる。そこでその電圧を1フィールド期間保持するために補助容量85を設けている。

【0034】この補助容量85と液晶21との間には、回路選択回路43のPチャネル型TFT44が設けられ、回路選択回路40のTFT41と同時にオンオフするように構成されている。また、画素選択回路70のTFT72と液晶21の表示電極80の間には、保持回路110、信号選択回路120が設けられている。

【0035】保持回路110は、正帰還された2つのインバータ回路から成り、デジタル2値を保持するスタティック型メモリを構成している。ここで、インバータ回路は低消費電力化のため静消費電流が少ないCMOS型インバータ回路であることが好ましい。

【0036】また、信号選択回路120は、保持回路110からの信号に応じて信号を選択する回路であって、2つのNチャネル型TFT121、122で構成されている。TFT121、122のゲートには保持回路110からの相補的な出力信号がそれぞれ印加されているので、TFT121、122は相補的にオンオフする。

【0037】ここで、TFT122がオンすると交流駆動信号（信号B）が選択され、TFT121がオンする

とその対向電極信号VCOM(信号A)が選択され、回路選択回路43のTFT45を介して、液晶21に電圧を印加する表示電極80に供給される。

【0038】デジタル表示モード時において、一垂直期間の間に全ドットスキャンが行われ、保持回路110にはドレイン信号線61からのデジタル映像データが書き込まれる。ここで、保持回路110を構成する2つのインバータ回路に供給される電源電圧VDDをデータ書き込み期間中は、保持回路110がデータを保持するのに必要な最小な電圧(例えば3V)に設定すると共に、データ書き込み期間終了後、保持回路110に保持されたデータに基づく表示(静止画像の表示)を行う期間については、より高電圧に昇圧するようにした。

【0039】このとき、電源電圧VDDは、信号A、Bの最も高い電圧にTFT121、122のしきい値電圧(V_t)を加えた電圧より高い電圧まで昇圧することが好ましい。すなわち、 $VDD > V_t + \max(\text{信号A, 信号B})$ という関係を満たすことである。このVDDとしては8V程度が適当である。この関係を満たさない場合には、TFT121、122によって信号A、Bをレベル低下することなく表示電極80に供給し充電することができず、液晶表示のコントラストが悪化するからである。

【0040】次に、液晶パネル100の周辺回路について説明すると、液晶パネル100の絶縁性基板10とは別基板の外付け回路基板90には、パネル駆動用LSI91が設けられている。この外付け回路基板90のパネル駆動用LSI91から垂直スタート信号STVがゲートドライバ50に入力され、水平スタート信号STHがドレインドライバ60に入力される。また映像信号がデータ線62に入力される。

【0041】また、外付け回路基板90には上述の保持回路110を構成する2つのインバータ回路に供給される電源電圧VDDを昇圧するための昇圧回路95が設けられている。昇圧回路95は、タイミングコントローラ(不図示)から書き込み期間の終了信号Vendに基づいて昇圧を開始する。

【0042】タイミングコントローラ(不図示)外部からの垂直同期信号Vsyncに基づいてこの信号Vendを作成するが、垂直同期信号Vsync自体を用いてもよい。昇圧回路95としては適宜選択することができるが例えばチャージポンプ型の回路を用いることができる。

【0043】図2に昇圧回路95の回路構成例を示す。図2において、160は、書き込み期間の終了信号Vendに応じて発振動作を開始するリングオシレータ(Ring oscillator)である。このリングオシレータ160の発振クロックはインバータを通してコンデンサC1、C2の一端に印加されている。ここで、コンデンサC1に印加されるクロックPCLK2とコンデンサC2に印加されるクロックPCLK1と互いに逆位相となるように上記インバ

ータの段数が決定されている。

【0044】また、リングオシレータ160及びインバータの電源電圧はVddであるとする。したがって、クロックPCLK1及びクロックPCLK2の振幅もVddである。コンデンサC1の他端はTFT161とTFT162の接続点N1に結合されている。

【0045】また、コンデンサC2の他端はTFT163とTFT164の接続点N2に結合されている。ここで、TFT161及びTFT163はNチャネル型であり、それらのソースには電源電圧Vdd(例えば、3V)が供給されている。TFT162及びTFT164はPチャネル型であり、それらのソースは互いに接続されている。この共通ソースから昇圧された電圧VPPが得られる。

【0046】また、初期状態において、接続点N1の電圧を電源電圧Vddには設定するための初期設定用のTFT165が設けられている。同様に、初期状態において、接続点N2の電圧を電源電圧Vddには設定するための初期設定用のTFT166が設けられている。これらのTFT165及びTFT166はいずれもNチャネル型であって、それらのゲート及びソースには電源電圧Vddが供給されている。

【0047】上述した構成の昇圧回路の動作を説明すれば以下の通りである。終了信号Vendに応じてリングオシレータ160は発振動作を開始すると、コンデンサC1にクロックPCLK2が印加され、コンデンサC2には逆位相のクロックPCLK1が印加される。クロックPCLK2がハイレベルの時、容量結合により接続点N1の電圧は上昇する。コンデンサC1の容量値は接続点N1に付随する寄生容量の容量値より十分大きければ、接続点N1の電圧は2Vddである。例えば、Vddが3Vであれば、接続点N1の電圧は6Vとなる。このとき、TFT162及び163がオンするので、TFT162を通して昇圧された電圧6Vが電圧VPPとして出力される。

【0048】次に、クロックPCLK2がロウレベルに落ち、クロックPCLK1がハイレベルに立ち上がると、容量結合により接続点N2の電圧は上昇する。コンデンサC2の容量値は接続点N2に付随する寄生容量の容量値より十分大きければ、接続点N2の電圧は2Vddである。例えば、Vddが3Vであれば、接続点N1の電圧は6Vとなる。これにより、TFT162及び163はオフし、TFT161及び164がオンする。すると、接続点N1の電圧は再びVdd(3V)に戻る。同時に、TFT164を通して昇圧された電圧6Vが電圧VPPとして出力される。上記の動作が繰り返されることにより、電源電圧Vddが昇圧され、電圧VPPとして出力される。

【0049】図3は映像信号の切替回路の回路構成図である。スイッチSW1が端子P2側と接続されると入力端子Dinから入力されたnビットのデジタル映像信号はDAコンバータ130によってアナログ映像信号に変

換された後、データ線62に出力される。

【0050】一方、スイッチSW1が端子P1側に切り換わると、nビットのデジタル映像信号の例えば最上位ビットがデータ線62に出力される。スイッチSW1の切換えは、アナログ表示モードと低消費電力対応のデジタル表示モードの切換えを制御するモード切換え信号MDに応じて行われる。

【0051】次に、図1乃至図4を参照しながら、上述した構成の表示装置の駆動方法について説明する。図4は、液晶表示装置がデジタル表示モードに選択された場合のタイミング図である。

(1) アナログ表示モードの場合

モード切換え信号MDに応じて、アナログ表示モードが選択されると、データ信号線62にアナログ映像信号が出力される状態に設定されると共に、回路選択信号線88が「L」となり、回路選択回路40、43のTFT41、44がオンする。

【0052】また、水平スタート信号STHに基づくサンプリング信号に応じてサンプリングトランジスタSPがオンしデータ信号線62のアナログ映像信号がドレイン信号線61に供給される。

【0053】また、垂直スタート信号STVに基づいて、走査信号がゲート信号線51に供給される。走査信号に応じて、TFT71がオンすると、ドレイン信号線61からアナログ映像信号Sigが表示電極80に伝達されると共に、補助容量85に保持される。表示電極80に印加された映像信号電圧が液晶21に印加され、その電圧に応じて液晶21が配向することにより液晶表示を得ることができる。

【0054】このアナログ表示モードでは、フルカラーの動画像を表示するのに好適である。ただし、外付け回路基板90のLSI91、各ドライバ50、60にはそれらを駆動するために、絶えず電力が消費されている。

(2) デジタル表示モード

モード切換え信号MDに応じて、デジタル表示モードが選択されると、データ信号線62にデジタル映像信号が出力される状態に設定されると共に、回路選択信号線88の電位が「H」となり、保持回路110が動作可能な状態になる。また、回路選択回路40、43のTFT41、44がオフすると共に、TFT42、45がオンする。

【0055】また、外付け回路基板90のパネル駆動用LSI91から、ゲートドライバ50及びドレインドライバ60にスタート信号STV、STHが入力される。それに応じてサンプリング信号が順次発生し、それぞれのサンプリング信号に応じてサンプリングトランジスタSP1、SP2、…、SPnが順にオンしてデジタル映像信号Sigをサンプリングして各ドレイン信号線61に供給する。

【0056】ここで第1行、即ち走査信号G1が印加さ

れるゲート信号線51について説明する。まず、走査信号G1によってゲート信号線51に接続された各表示画素P11、P12、…P1nの各TFTが1水平走査期間オンする。

【0057】第1行第1列の表示画素P11に注目すると、サンプリング信号SP1によってサンプリングしたデジタル映像信号S11がドレイン信号線61に入力される。そしてTFT72が走査信号G1によってオン状態になるとそのドレイン信号D1が表示画素P11の保持回路110に書き込まれる。

【0058】この書き込み時には、保持回路110の2つのインバータ回路に供給される電源電圧VDDは、保持回路110がデータを保持するのに必要な最小な電圧（例えば3V）に設定されている。このため、図1に示したインバータINV2のNチャネル型TFTのオン抵抗が高くなると共に、インバータINV1のしきい値が下がるので、インバータINV1の出力ノードが「H」レベルのときに、ドレイン信号D1（＝デジタル映像信号S11）の「H」レベルを書き込む場合に、書き込みの余裕度が向上する。

【0059】すなわち、ドレイン信号D1（＝デジタル映像信号S11）の「H」レベルの電圧を下げることで、ドレインドライバ60等の駆動回路の電源電圧を低くすることができる。また、画素選択回路70を構成するTFT72のサイズも小さくすることができる。

【0060】この保持回路110で保持された信号は、信号選択回路120に入力されて、この信号選択回路120で信号A又は信号Bを選択して、その選択した信号が表示電極80に印加され、その電圧が液晶21に印加される。こうしてゲート信号線51から最終行のゲート信号線51まで走査することにより、1画面分（1フィールド期間）の書き込みが終了する。

【0061】その後、保持回路110に保持されたデータに基づく表示（静止画像の表示）を行う。そして、書き込み期間の終了信号Vendに応じて、昇圧回路95が動作し、保持回路110に供給される電源電圧VDDが昇圧される。このとき、電源電圧VDDは、信号A、Bの最も高い電圧にTFT121、122のしきい値電圧（Vt）を加えた電圧より高い電圧まで昇圧することが好ましい。

【0062】これにより、TFT121、122によって信号A、Bはレベル低下することなく表示電極80へ供給されるので、良好な画質の表示を得ることができる。

【0063】なお、このデジタル表示モード時には、ゲートドライバ50並びにドレインドライバ60及び外付けのパネル駆動用LSI91への電圧供給を停止しそれらの駆動を止める。保持回路110には常に電圧VDD、VSSを供給して駆動し、また対向電極電圧を対向電極3

2に、各信号A及びBを選択回路120に供給する。

【0064】即ち、保持回路110にこの保持回路を駆動するためのVDD、VSSを供給し、対向電極には対向電極電圧VCOM（信号A）を印加し、液晶表示パネル100がノーマリーホワイト（NW）の場合には、信号Aには対向電極32と同じ電位の電圧を印加し、信号Bには液晶を駆動するための交流電圧（例えば60Hz）を印加するのみである。そうすることにより、1画面分を保持して静止画像として表示することができる。また他のゲートドライバ50、ドレインドライバ60及び外付けLSI91には電圧が印加されていない状態である。

【0065】このとき、ドレイン信号線61にデジタル映像信号で「H（ハイ）」が保持回路110に入力された場合には、信号選択回路120において第1のTFT121には「L」が入力されることになるので第1のTFT121はオフとなり、他方の第2のTFT122には「H」が入力されることになるので第2のTFT122はオンとなる。

【0066】そうすると、信号Bが選択されて液晶には信号Bの電圧が印加される。即ち、信号Bの交流電圧が印加され、液晶が電界によって立ち上がるため、NWの表示パネルでは表示としては黒表示として観察できる。

【0067】ドレイン信号線61にデジタル映像信号で「L」が保持回路110に入力された場合には、信号選択回路120において第1のTFT121には「H」が入力されることになるので第1のTFT121はオンとなり、他方の第2のTFT122には「L」が入力されることになるので第2のTFT122はオフとなる。

【0068】そうすると、信号Aが選択されて液晶には信号Aの電圧が印加される。即ち、対向電極32と同じ電圧が印加されるため、電界が発生せず液晶は立ち上がらないため、NWの表示パネルでは表示としては白表示として観察できる。

【0069】このように、1画面分を書き込みそれを保持することにより静止画像として表示できるが、その場合には、各ドライバ50、60及びLSI91の駆動を停止するので、その分、低消費電力化することができる。

【0070】上述したように、本発明の実施形態によれば、1つの液晶表示パネル100でフルカラーの動画表示（アナログ表示モードの場合）と、デジタル階調表示（デジタル表示モードの場合）という2種類の表示に対応することができる。また、保持回路110の書き込み時の誤動作を防止することができると共に、低消費電力及び画素の微細レイアウトが可能となる。

【0071】また、上述の実施形態ではアナログ表示モードとデジタル表示モードを選択可能な表示装置について説明したが、本発明はデジタル映像信号を書き込み、保持する回路110を備え、その保持信号に応じて画像表示を行う表示装置に広く適用することができるもので

ある。

【0072】また、本発明の表示装置は、液晶表示装置の中でも特に、反射型液晶表示装置に適用することが好ましい。そこで、この反射型液晶表示装置のデバイス構造について図5を参照しながら説明する。

【0073】図5に示すように、一方の絶縁性基板10上に、多結晶シリコンから成り島化された半導体層11上にゲート絶縁膜12を形成し、半導体層11の上方であってゲート絶縁膜12上にゲート電極13を形成する。

【0074】ゲート電極13の両側に位置する下層の半導体層11には、ソース11s及びドレイン11dが形成されている。ゲート電極13及びゲート絶縁膜12上には層間絶縁膜14を堆積し、そのドレイン11dに対応した位置及びソース11sに対応した位置にコンタクトホール15が形成されており、そのコンタクトホール15を介してドレイン11dはドレイン電極16に接続されており、ソース11sは層間絶縁膜14上に設けた平坦化絶縁膜17に設けたコンタクトホール18も介して表示電極19に接続されている。

【0075】平坦化絶縁膜17上に形成された各表示電極19はアルミニウム（Al）等の反射材料から成っている。各表示電極19及び平坦化絶縁膜17上には液晶21を配向するポリイミド等から成る配向膜20が形成されている。

【0076】他方の絶縁性基板30上には、赤（R）、緑（G）、青（B）の各色を呈するカラーフィルタ31、ITO（Indium Tin Oxide）等の透明導電性膜から成る対向電極32、及び液晶21を配向する配向膜33が順に形成されている。カラー表示としない場合にはカラーフィルタ31は不要である。

【0077】こうして形成された一対の絶縁性基板10、30の周辺を接着性シール材によって接着し、それによって形成された空隙に液晶21を充填して、反射型液晶表示装置が完成する。

【0078】図中点線矢印で示すように、観察者1側から入射した外光は、対向電極基板30から順に入射し、表示電極19によって反射されて、観察者1側に出射し、表示を観察者1が観察することができる。

【0079】このように、反射型液晶表示装置は外光を反射させて表示を観察する方式であり、透過型の液晶表示装置のように、観察者側と反対側にいわゆるバックライトを用いる必要が無いため、そのバックライトを点灯させるための電力を必要としない。従って、本発明の表示装置として、バックライト不要で省消費電力化に適した反射型液晶表示装置であることが好ましい。

【0080】上述の実施の形態においては、1画面の全ドットスキャン期間には、対向電極電圧及び信号A及びBの電圧は印加している場合について示したが、本発明はそれに限定されるものではなく、この期間においても

これらの各電圧を印加しなくても良い。

【0081】また、上述の実施の形態においては、デジタル表示モードにおいて、1ビットのデジタルデータ信号を入力した場合について説明したが、本発明はそれに限定されるものではなく、複数ビットのデジタルデータ信号の場合でも適用することが可能である。

【0082】そうすることにより、多階調の表示を行うことができる。その際、入力するビット数に応じた保持回路及び信号選択回路の数にする必要がある。

【0083】また、上述の実施の形態においては、静止画像を液晶表示パネルの一部に表示する場合を説明したが、本願はそれに限定されるものではなく、全表示画面に静止画を表示することも可能であり、本願発明の特有の効果を奏するものである。

【0084】上述の実施の形態においては、反射型液晶表示装置の場合について説明したが、1画面内でTFT、保持回路、信号選択回路及び信号配線を除く領域に透明電極を配置することにより、透過型液晶表示装置にも用いることができる。また、透過型液晶表示装置に用いた場合にも、1画面を表示した後に、ゲートドライバ50並びにドレインドライバ60及び外付けのパネル駆動用LSI91への電圧供給を停止することにより、その分の消費電力の低減を図ることができる。

【0085】次に、本発明の第2の実施形態に係る表示装置について説明する。図6に本発明の表示装置をEL（エレクトロルミネッセンス）表示装置に応用した場合の回路構成図を示す。ゲート信号線51とドレイン信号線61の交差部近傍には画素選択TFT72が配置され、TFT72のソースは保持回路110に接続されている。保持回路110は正帰還された2つのインバータ回路INV1、INV2によって構成されている。

【0086】そして、保持回路110の出力は、Nチャネル型のEL駆動用TFT125のゲートに印加されている。EL駆動用TFTのソースは電圧源VAに接続されると共に、ドレインは有機EL素子22のアノードに接続されている。有機EL素子22のカソード33は共通電圧VCOMにバイアスされている。

【0087】ここで、保持回路110には上述の実施形態と同様にして、ドレイン信号線61からのデジタル映像データが書き込まれる。ここで、保持回路110を構成する2つのインバータ回路に供給される電源電圧VDDをデータ書き込み期間中は、保持回路110がデータを保持するのに必要な最小な電圧（例えば3V）に設定する。

【0088】いま、保持回路110から「H」が出力される場合を考えると、EL駆動用TFT125のゲートには比較的低い電圧（例えば3V）される。ここで、EL駆動用TFT125のしきい値を調整することにより、有機EL素子22がオフ状態又は高抵抗状態であり、消灯しているものとする。

【0089】そして、データ書き込み期間終了後、保持回路110に保持されたデータに基づく表示（静止画像の表示）を行う期間については、電源電圧VDDを高電圧に昇圧する。すると、EL駆動用TFT125のゲートの電圧も高くなる。よって有機EL素子22のアノードにVF以上のバイアス加わることによりオン状態となり、点灯するようになる。

【0090】したがって、上述した構成のEL表示装置によれば、データ書き込み期間中は電源電圧VDDが低く設定されることで、前述した実施形態と同様に、低消費電力化が可能でありと共に、書き込み終了後に電源電圧VDDが昇圧されることにより、有機EL素子が点灯して良好な発光表示が得られる。

【0091】

【発明の効果】本発明の表示装置によれば、各表示画面にデジタル映像データを保持するための保持回路を備えた表示装置において、保持回路に供給する電源電圧を書き込み時には低く設定し、書き込み後の表示時には高く設定しているため、当該保持回路へのデータの誤書き込みを防止すると共に、低消費電力化を図ることができる。

【0092】また、本発明の表示装置によれば、画素選択素子を小さくすることができるので画素の微細レイアウトを行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る液晶表示装置の回路構成図である。

【図2】本発明の第1の実施形態に係る昇圧回路の回路構成図である。

【図3】本発明の第1の実施形態に係る映像信号の切換回路の回路構成図である。

【図4】本発明の第1の実施形態に係る液晶表示装置のタイミング図である。

【図5】反射型液晶表示装置の断面図である。

【図6】本発明の第2の実施形態に係るEL表示装置の回路構成図である。

【図7】従来例に係る液晶表示装置の回路構成図である。

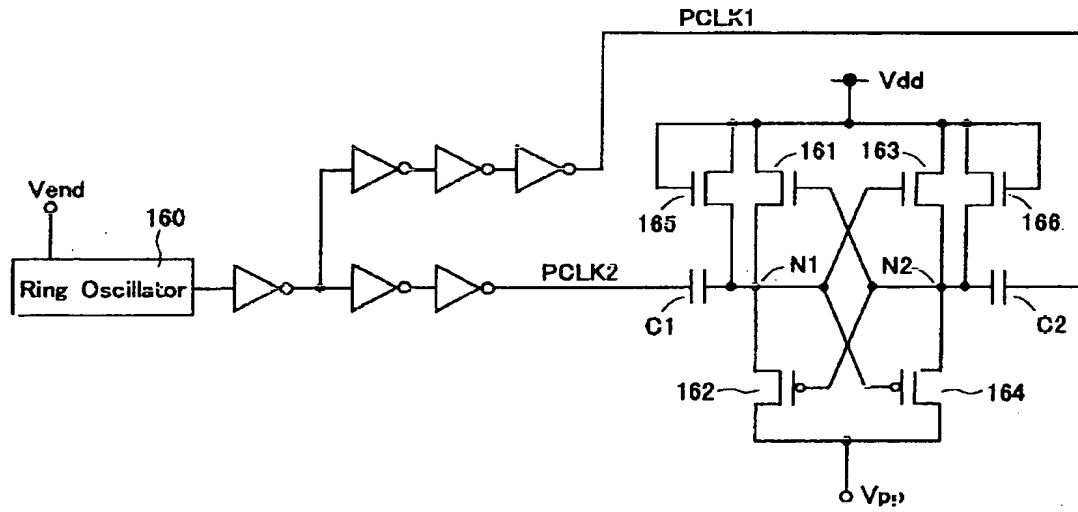
【図8】従来例に係る液晶表示装置の他の回路構成図である。

【図9】従来例に係る液晶表示装置の問題点を説明するための回路図である。

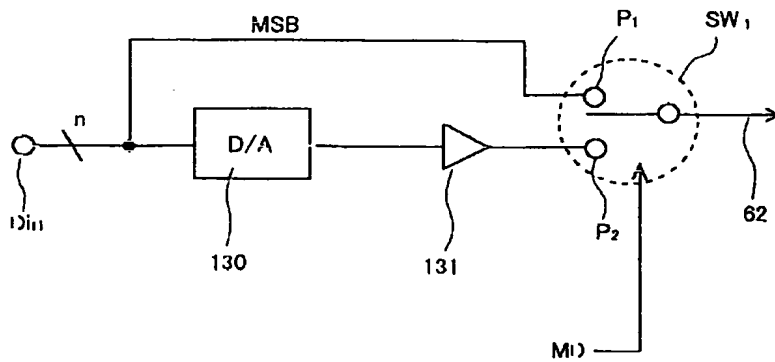
【符号の説明】

10	絶縁性基板
13	ゲート電極
21	液晶
40	回路選択回路
43	回路選択回路
50	ゲートドライバ
51	ゲート信号線

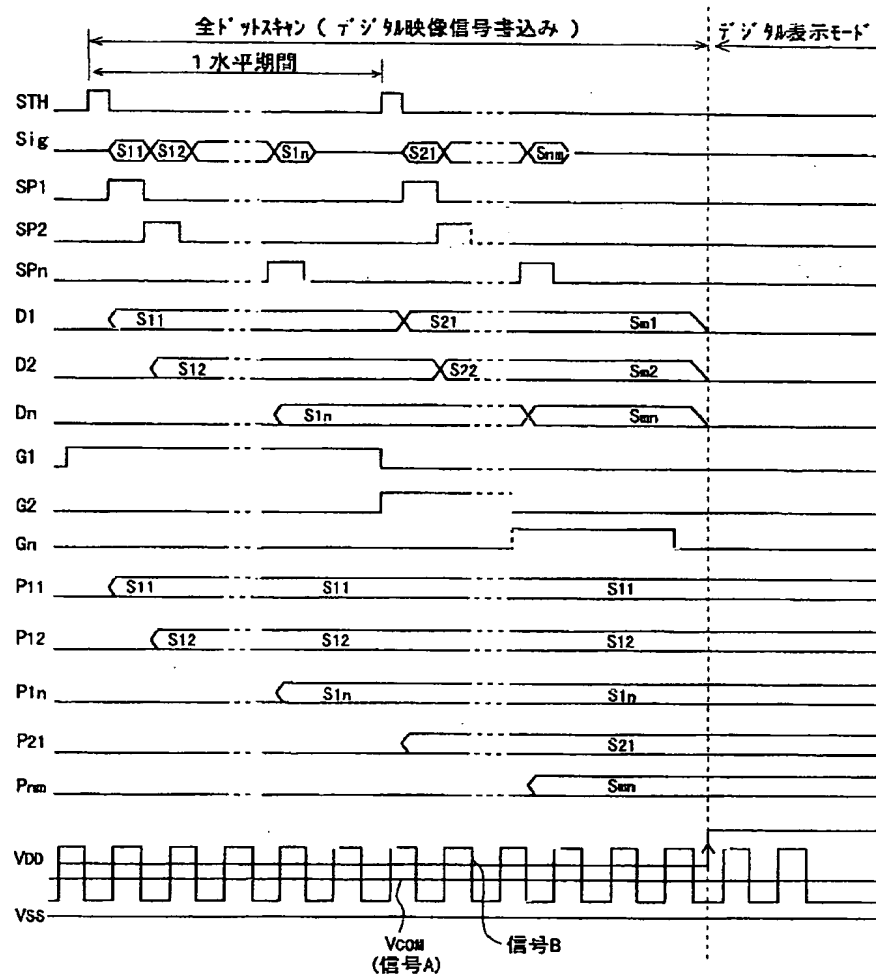
【圖 2】

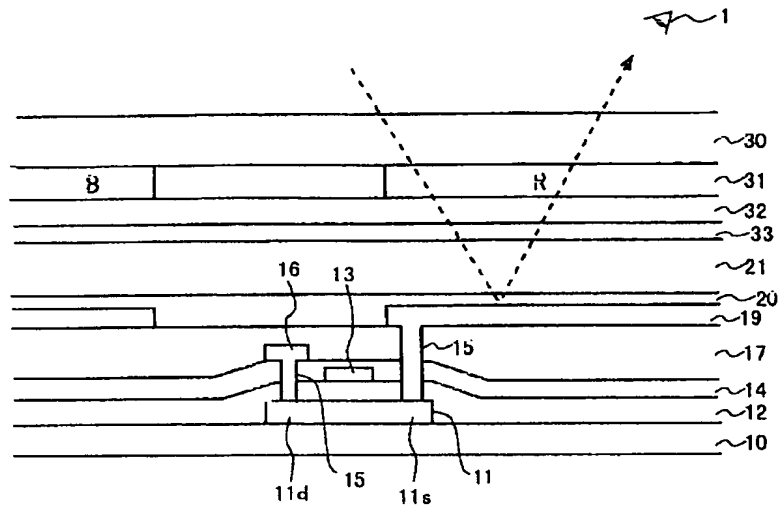


【圖 3】

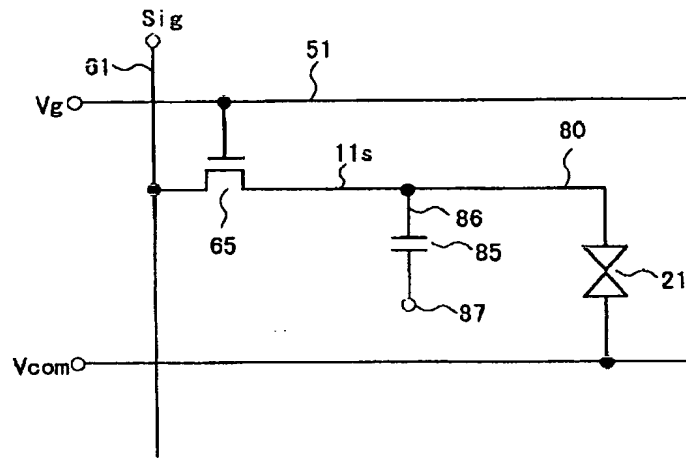


【図4】

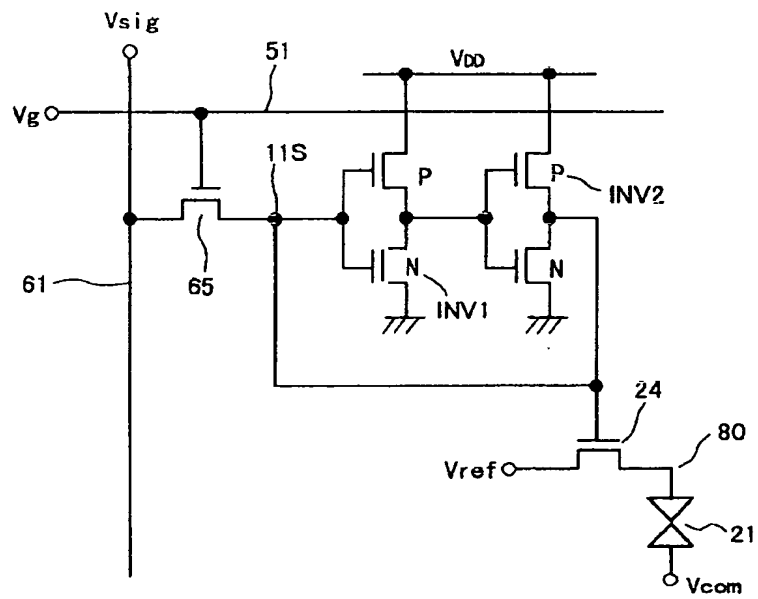


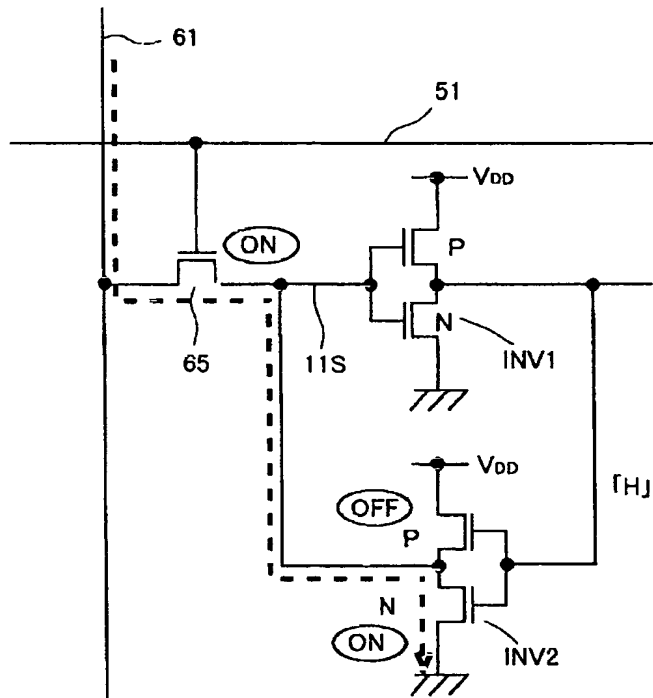


【図7】



【図8】





F ターム(参考)

2H093	NA16	NA31	NA43	NA51	NC03
	NC16	NC22	NC23	NC34	NC35
	ND39	NE06			
5C006	BB16	BC06	BF27	BF33	BF46
	FA47				
5C080	AA06	AA10	BB05	DD09	DD26
	FF11	JJ02	JJ03	JJ04	JJ06

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-162948

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20
G09G 3/30

(21)Application number : 2001-243091 (71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 10.08.2001 (72)Inventor : YOKOYAMA RYOICHI
YONEDA KIYOSHI

(30)Priority

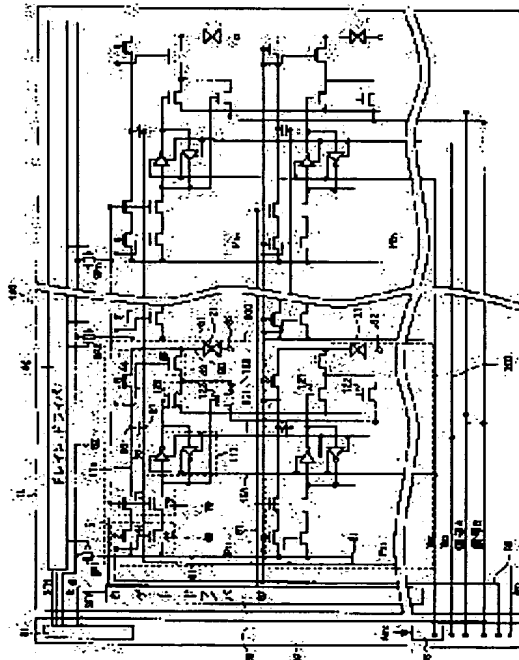
Priority number : 2000282173 Priority date : 18.09.2000 Priority country : JP

(54) DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of erroneous writing of data into a holding circuit 110, to reduce power consumption and to provide highly integrated display pixels.

SOLUTION: In a display device which is provided with holding circuits to sustain digital video data for display pixels, the power supply voltage supplied to the holding circuits 110 is set to a minimum level that is an absolute minimum for sustaining the data. The power supply voltage to be supplied to the circuits 110 is boosted by a boosting circuit 95 after completion of the writing. In accordance with the signals inputted from gate signal lines 51, digital video signals from drain signal lines 61 are written into the circuits 110 and the circuits 110 sustain the signals. Displaying is conducted in accordance with the signal sustained in the circuits 110.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]Two or more gate signal lines arranged in one way on a substrate which is provided with the following and characterized by displaying according to an output of said holding circuit, A display in which a display pixel to which it is chosen by a scanning signal from two or more drain signal lines arranged in the direction which intersects said gate signal line, and said gate signal line, and a video signal is supplied from said drain signal line has been arranged at matrix form.

A holding circuit which a digital video signal from said drain signal line is written in according to a signal inputted from said gate signal line, and holds this digital video signal. A booster circuit which carries out pressure up of the power supply voltage supplied to said holding circuit after a write end of said digital video signal.

[Claim 2]The display according to claim 1, wherein said holding circuit comprises two steps of inverter circuits by which positive feedback was carried out.

[Claim 3]The display according to claim 2, wherein said inverter circuit is a CMOS type inverter circuit.

[Claim 4]The display according to claim 1, wherein it has a signal selection circuit which chooses a signal supplied to a display electrode according to an output of said holding circuit and this signal selection circuit comprises two or more thin film transistors by which a signal from said holding circuit was impressed to a gate.

[Claim 5]The display according to claim 4, wherein power supply voltage by which pressure up was carried out in said booster circuit is higher than voltage which applied threshold voltage of said thin film transistor to a signal supplied to said display electrode.

[Claim 6]In a drive method of a display which is provided with the following and displays according to an output of said holding circuit, After writing a digital video signal from said drain signal line in said holding circuit according to a signal inputted from said gate signal line, A drive method of a display which carries out pressure up of the power supply voltage supplied to said holding circuit by said booster circuit, and is characterized by performing

image display according to said digital video signal.

Two or more gate signal lines arranged in one way on a substrate.

Two or more drain signal lines arranged in the direction which intersects said gate line.

A display pixel to which it is chosen as by a scanning signal from said gate signal line, and a video signal is supplied from said drain signal line and which has been arranged at both matrix form.

A holding circuit which a digital video signal from said drain signal line is written in according to a signal inputted from said gate signal line in said display pixel, and holds the digital video signal, and a booster circuit which carries out pressure up of the power supply voltage supplied to said holding circuit.

[Claim 7]A drive method of the display according to claim 6, wherein said holding circuit comprises two steps of inverter circuits by which positive feedback was carried out.

[Claim 8]A drive method of the display according to claim 7, wherein said inverter circuit is a CMOS type inverter circuit.

[Claim 9]A drive method of the display according to claim 6, wherein it has a signal selection circuit which chooses a signal supplied to a display electrode according to an output of said holding circuit and this signal selection circuit comprises two or more thin film transistors by which a signal from said holding circuit was impressed to a gate.

[Claim 10]A drive method of the display according to claim 9, wherein power supply voltage by which pressure up was carried out in said booster circuit is higher than voltage which applied threshold voltage of said thin film transistor to a signal supplied to said display electrode.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About a display and a drive method for the same, this invention is used for an especially portable display, and relates to a suitable display and a drive method for the same.

[0002]

[Description of the Prior Art] In recent years, the portable display, for example, portable TV, the cellular phone, etc. are demanded as market needs. Research and development are done briskly that it should correspond to the miniaturization of a display, a weight saving, and electrical-power-consumption-saving-ization according to this demand.

[0003] The circuitry figure of one display pixel of the liquid crystal display concerning a conventional example is shown in drawing 7. On the insulating substrate (un-illustrating), the gate signal line 51 and the drain signal line 61 cross, and are formed, and pixel selection TFT65 connected to both the signal wires 51 and 61 near [the] the intersection is provided. The source 11s of TFT65 is connected to the display electrode 80 of the liquid crystal 21.

[0004] The auxiliary capacity 85 for holding the voltage of the display electrode 80 1 field period is formed, one terminal 86 of this auxiliary capacity 85 is connected to the source 11s of TFT65, and potential common to each display pixel is impressed to the electrode 87 of another side.

[0005] Here, if a scanning signal is impressed to the gate signal line 51, TFT65 will be in an ON state, and an analog video signal will be transmitted to the display electrode 80 from the drain signal line 61, and it will be held at the auxiliary capacity 85. When the video-signal voltage impressed to the display electrode 80 is impressed to the liquid crystal 21 and the liquid crystal 21 carries out orientation according to the voltage, liquid crystal display can be obtained.

[0006] Therefore, a display can be obtained regardless of video and a still picture. When displaying a still picture on this liquid crystal display, the picture of a dry cell will be

displayed as a residual quantity display of the battery for driving a cellular phone, for example on a part of liquid crystal display section of a cellular phone.

[0007]However, in the liquid crystal display of composition of having mentioned above, even if it was a case where a still picture was displayed, like the case where video is displayed, TFT65 needed to be made into the ON state with the scanning signal, and the video signal needed to be re-written in each display pixel.

[0008]Therefore, the external LSI which generates the various signals for controlling the operation timing of the driver circuit for generating driving signals, such as a scanning signal and a video signal, and a driver circuit consumed always big electric power in order to always operate. For this reason, in a cellular phone provided only with the limited power supply, there was a fault that that available time became short.

[0009]On the other hand, the liquid crystal display which equipped each display pixel with the static type memory is indicated by JP,8-194205,A. If some of the gazettes are quoted and explained, this liquid crystal display will reduce power consumption by using as a holding circuit of a digital video signal, the memory, i.e., the static type memory, of the form to which positive feedback of two-step inverter INV1 and INV2 was carried out, as shown in drawing 8.

[0010]Here, according to the binary digital video signal held at the static type memory, the switch element 24 controls the resistance between the reference line Vref and the display electrode 80, and is adjusting the bias shape voice of the liquid crystal 21. On the other hand, AC signal Vcom is inputted into a common electrode. If this device does not have change in a display image like a still picture on an ideal, the refreshment to a memory is unnecessary.

[0011]As mentioned above, in the liquid crystal display provided with the static type memory for holding a digital video signal, the still picture of a low gradient is displayed and it is suitable for reducing power consumption.

[0012]

[Problem(s) to be Solved by the Invention]However, the liquid crystal display of composition of having mentioned above had the following problems. It explains referring to drawing 9 for this problem. Now, the sauce 11s of pixel selection TFT65 is the "L (low)" level, and it is assumed that the "H (high)" level is held at the output node of inverter INV1.

[0013]Since one [N channel type TFT of inverter INV2] when outputting "H" to the drain signal line 61 and writing "H" in a static type memory from an external circuit from this holding state, As the dashed line of a figure shows, current flows in the course of drain signal line 61 ->TFT65 -> N channel type TFT. That is, hauling **** of the "H" level and the "L" level happens, and there is a possibility that erroneous write may arise due to the fall of "H."

[0014]Here, in order to write in the data of "H" normally, the conditions that the sauce 11s of TFT65 makes it higher than the threshold voltage of inverter INV1 must be satisfied, but since the above-mentioned current route exists, there is a possibility that the sauce 11s of

TFT65 may fall.

[0015]So, the following measure can be considered in order to satisfy the above-mentioned conditions.

** Make high voltage of the "H" level supplied to the drain wire 61 from an external circuit.

** In order to lower the on resistance of pixel TFT65, make high voltage when the gate signal line 51 is chosen, or enlarge channel width of TFT65.

[0016]However, since the power supply voltage of an external circuit rises, ** has the fault that power consumption will increase and carry out. ** The rise of the power supply voltage of a gate driver and TFT size increase, and there is a fault that the layout in the fine pitch of a pixel becomes difficult.

[0017]In the display which equipped the display pixel with the static type memory for holding digital image data, this invention prevents the erroneous write of the data to the static type memory concerned, and it provides the display which enabled the detailed layout of low power consumption and a pixel.

[0018]

[Means for Solving the Problem]It will be as follows if an outline of the main things is explained among inventions indicated by this application.

[0019]Namely, two or more gate signal lines with which the 1st composition of this invention has been arranged in one way on a substrate, Two or more drain signal lines arranged in the direction which intersects said gate line, In a display in which a display pixel to which it is chosen by a scanning signal from said gate signal line, and a video signal is supplied from said drain signal line has been arranged at matrix form, A holding circuit which a digital video signal from said drain signal line is written in according to a signal which is arranged in said display pixel and inputted from said gate signal line, and holds the digital video signal, After a write end of said digital video signal, it has a booster circuit which carries out pressure up of the power supply voltage supplied to said holding circuit, and displays according to an output of said holding circuit.

[0020]According to this composition, write in power supply voltage supplied to a holding circuit, and sometimes, Since it sets up low, and it can set up highly to such an extent that a good picture is acquired at the time of a display after writing to such an extent that a digital video signal can be held, erroneous write of a digital video signal to the holding circuit concerned is prevented, and low power consumption can be attained.

[0021]according to the above-mentioned composition, since a pixel selection element can be made small, a detailed layout of a pixel is performed -- it becomes possible.

[0022]In the above-mentioned composition, said holding circuit can make the number of circuit elements the minimum by constituting from two steps of inverter circuits by which positive feedback was carried out. As for an inverter circuit, for low power consumption, it is desirable that it is a CMOS type inverter.

[0023]In the above-mentioned composition, it has a signal selection circuit which chooses a signal supplied to a display electrode according to an output of said holding circuit, and this

signal selection circuit comprises two or more thin film transistors by which a signal from said holding circuit was impressed to a gate. A display according to an output of a holding circuit is enabled, and it is for reducing the number of circuit elements of a signal selection circuit.

[0024]In the above-mentioned composition, power supply voltage by which pressure up was carried out in said booster circuit is higher than voltage which applied threshold voltage of said thin film transistor to a signal supplied to said display electrode. Since a signal supplied to a display electrode is prevented from falling by this, good image display with sufficient contrast can be obtained.

[0025]Two or more gate signal lines with which a drive method of a display of this invention has been arranged in one way on a substrate, Two or more drain signal lines arranged in the direction which intersects said gate line, A display pixel to which it is chosen as by a scanning signal from said gate signal line, and a video signal is supplied from said drain signal line and which has been arranged at both matrix form, A holding circuit which a digital video signal from said drain signal line is written in according to a signal inputted from said gate signal line in said display pixel, and holds the digital video signal, In a drive method of a display provided with a booster circuit which carries out pressure up of the power supply voltage supplied to said holding circuit, After writing a digital video signal from said drain signal line in said holding circuit according to a signal inputted from said gate signal line, Pressure up of the power supply voltage supplied to said holding circuit by said booster circuit is carried out, and image display is performed according to a digital video signal held by said holding circuit.

[0026]According to this composition, erroneous write of a digital video signal to the holding circuit concerned is prevented, and low power consumption can be attained.

[0027]

[Embodiment of the Invention]Next, the display concerning the embodiment of this invention is explained. The circuitry figure of the liquid crystal display concerning a 1st embodiment is shown in drawing 1.

[0028]Two or more gate signal lines 51 connected to the gate driver 50 which supplies a scanning signal on the insulating substrate 10 are arranged in one way, and two or more drain signal lines 61 are arranged in the direction which intersects these gate signal lines 51.

[0029]According to the timing of the sampling pulse outputted from the drain driver 60, and the data signal (an analog video signal or a digital video signal) of the data signal line 62 is supplied to it. [the drain signal line 61] [sampling transistor SP1, SP2, --, SPn]

[0030]It is chosen by the scanning signal from the gate signal line 51, and two or more display pixels 200 to which the data signal from the drain signal line 61 is supplied are arranged at matrix form, and the liquid crystal display panel 100 is constituted.

[0031]Hereafter, the detailed composition of the display pixel 200 is explained. Near the intersection of the gate signal line 51 and the drain signal line 61, the circuit selection

circuitry 40 which comprises P channel type TFT41 and N channel type 42 is formed. TFT41 and both the drains of 42 are connected to the drain signal line 61, and both those gates are connected to the circuit selection signal line 88. One [42 / TFT41 and 42 have embraced the circuit selection signal from the circuit selection signal line 88, and / a gap or one side]. The circuit selection circuitry 43 which accomplishes the circuit selection circuitry 40 and a pair so that it may mention later, and comprises P channel type TFT44 and N channel type TFT45 is formed.

[0032]It enables this to choose and switch the analog display mode (full color video correspondence) and digital display mode (low power consumption, still picture correspondence) which are mentioned later. The circuit selection circuitry 40 is adjoined and the pixel selection circuit 70 which comprises N channel type TFT71 and N channel type TFT72 is arranged. TFT71 and 72 are connected to TFT41 of the circuit selection circuitry 40, and 42 and a column, respectively, and the gate signal line 51 is connected to both those gates. TFT71 and 72 are constituted so that the one [both] according to the scanning signal from the gate signal line 51 simultaneously.

[0033]The auxiliary capacity 85 for holding an analog video signal is formed. One electrode 86 of the auxiliary capacity 85 is connected to the source 11s of TFT71. The electrode 87 of another side is connected to the common auxiliary capacity line 81, and the bias voltage Vsc is supplied. If the gate of TFT71 opens and an analog video signal is impressed to the liquid crystal 21, one field period of the signal must be held, but the voltage of the signal will fall gradually with time progress only with the liquid crystal 21. If it does so, it will appear as display unevenness and a good display will no longer be obtained. Then, in order to hold one field period of the voltage, the auxiliary capacity 85 is formed.

[0034]Between this auxiliary capacity 85 and liquid crystal 21, P channel type TFT44 of the circuit selection circuitry 43 is provided, and it is constituted so that it may turn on and off simultaneously with TFT41 of the circuit selection circuitry 40. Between TFT72 of the pixel selection circuit 70, and the display electrode 80 of the liquid crystal 21, the holding circuit 110 and the signal selection circuit 120 are formed.

[0035]The holding circuit 110 comprises two inverter circuits by which positive feedback was carried out, and constitutes the static type memory holding a digital binary. Here, as for an inverter circuit, it is preferred that it is a CMOS type inverter circuit with little ***** because of low power consumption.

[0036]The signal selection circuit 120 is a circuit which chooses a signal according to the signal from the holding circuit 110, and comprises two N channel type TFT121 and 122. Since the complementary output signal from the holding circuit 110 is impressed to the gate of TFT121 and 122, respectively, TFT121 and 122 are complementarily turned on and off.

[0037]Here, if one [TFT122], an alternating current drive signal (signal B) will be chosen, if one [TFT121], the counter electrode signal VCOM (signal A) will be chosen, and the display electrode 80 which impresses voltage to the liquid crystal 21 is supplied via TFT45 of the circuit selection circuitry 43.

[0038]At the time of digital display mode, all the dot scans are performed between one vertical periods, and the digital image data from the drain signal line 61 is written in the holding circuit 110. The power supply voltage VDD supplied to two inverter circuits which constitute the holding circuit 110 here during a data writing period, It was set as minimum voltage (for example, 3V) required for the holding circuit 110 to hold data, and was made to carry out pressure up to high tension more after the end of a data writing period about the period which performs the display (display of a still picture) based on the data held in the holding circuit 110.

[0039]As for the power supply voltage VDD, at this time, it is preferred to carry out pressure up to voltage higher than the voltage which applied the threshold voltage (V_t) of TFT121,122 to the highest voltage of the signals A and B. Namely, $VDD > V_t + \max$ (the signal A, the signal B) It is filling the relation to say. As this VDD, about 8V is suitable. It is because the display electrode 80 cannot be supplied, and cannot be charged, without carrying out the level fall of the signals A and B by TFT121,122 but the contrast of liquid crystal display gets worse, in not filling this relation.

[0040]Next, explanation of the peripheral circuit of the liquid crystal panel 100 provides LSI91 for a panel drive in the external circuit board 90 of another board in the insulating substrate 10 of the liquid crystal panel 100. The vertical start signal STV is inputted into the gate driver 50 from LSI91 for a panel drive of this external circuit board 90, and level start signal STH is inputted into the drain driver 60. A video signal is inputted into the data line 62.

[0041]The booster circuit 95 for carrying out pressure up of the power supply voltage VDD supplied to two inverter circuits which constitute the above-mentioned holding circuit 110 to the external circuit board 90 is formed. The booster circuit 95 is written in from a timing controller (un-illustrating), and starts pressure up based on the terminate signal Vend of a period.

[0042]Although this signal Vend is created based on Vertical Synchronizing signal Vsync from the timing controller (un-illustrating) outside, the Vertical Synchronizing signal Vsync itself may be used. Although it can choose suitably as the booster circuit 95, a charge pump type circuit can be used.

[0043]The example of circuitry of the booster circuit 95 is shown in drawing 2. In drawing 2, 160 is the ring oscillator (RingOscillator) which starts oscillation operation according to the terminate signal Vend of a write-in period. The oscillation clock of this ring oscillator 160 is impressed to the capacitor C1 and the end of C2 through the inverter. Here, the number of stages of the above-mentioned inverter is determined are mutually set to clock PCLK2 impressed to the capacitor C1, and clock PCLK1 which are impressed to the capacitor C2 with an opposite phase.

[0044]The power supply voltage of the ring oscillator 160 and an inverter presupposes that it is Vdd. Therefore, the amplitude of clock PCLK1 and clock PCLK2 is also Vdd. The other end of the capacitor C1 is combined with the node N1 of TFT161 and TFT162.

[0045]The other end of the capacitor C2 is combined with the node N2 of TFT163 and TFT164. Here, TFT161 and TFT163 are N channel types, and the power supply voltage Vdd (for example, 3V) is supplied to those sauce. TFT162 and TFT164 are P channel types, and those sauce of each other is connected. The voltage VPP by which pressure up was carried out is obtained from this common source.

[0046]In the initial state, TFT165 for initial setting for setting the voltage of the node N1 to the power supply voltage Vdd is provided. Similarly, in the initial state, TFT166 for initial setting for setting the voltage of the node N2 to the power supply voltage Vdd is provided. Each of these TFT165 and TFT166 is an N channel type, and the power supply voltage Vdd is supplied to those gates and sauce.

[0047]It will be as follows if operation of the booster circuit of composition of having mentioned above is explained. If the ring oscillator 160 starts oscillation operation according to the terminate signal Vend, clock PCLK2 will be impressed to the capacitor C1, and clock PCLK1 of an opposite phase will be impressed to the capacitor C2. When clock PCLK2 is high-level, the voltage of the node N1 rises by capacitive coupling. If the capacity value of the capacitor C1 is larger than the capacity value of the parasitic capacitance which accompanies the node N1 enough, the voltage of the node N1 is 2Vdd. For example, if Vdd is 3V, the voltage of the node N1 will be set to 6V. Since the one [TFT162 and 163] at this time, the voltage 6V by which pressure up was carried out through TFT162 is outputted as the voltage VPP.

[0048]Next, if clock PCLK2 falls to a low level and clock PCLK1 rises high-level, the voltage of the node N2 will rise by capacitive coupling. If the capacity value of the capacitor C2 is larger than the capacity value of the parasitic capacitance which accompanies the node N2 enough, the voltage of the node N2 is 2Vdd. For example, if Vdd is 3V, the voltage of the node N1 will be set to 6V. Thereby, one [163 / TFT162 and 163 turn off and / TFT161 and 164]. Then, the voltage of the node N1 returns to Vdd (3V) again. Simultaneously, the voltage 6V by which pressure up was carried out through TFT164 is outputted as the voltage VPP. By repeating the above-mentioned operation, pressure up of the power supply voltage Vdd is carried out, and it is outputted as the voltage VPP.

[0049]Drawing 3 is a circuitry figure of the switch circuit of a video signal. If switch SW1 is connected the terminal P2 side, after the digital video signal of n bit inputted from the input terminal Din is changed into an analog video signal by DA converter 130, it will be outputted to the data line 62.

[0050]On the other hand, if switch SW1 switches to the terminal P1 side, the most significant bit of the digital video signal of n bit will be outputted to the data line 62. The change of switch SW1 is performed according to mode switching signal MD which controls the change of analog display mode and the digital display mode of low-power-consumption correspondence.

[0051]Next, the drive method of the display of composition of having mentioned above is explained, referring to drawing 1 thru/or drawing 4. Drawing 4 is a timing diagram when a

liquid crystal display is chosen as digital display mode.

(1) One [if analog display mode is chosen according to mode switching signal MD in the case of analog display mode, it will be set as the state where an analog video signal is outputted to the data signal line 62, and / the circuit selection signal line 88 is set to "L", and / TFT41 of the circuit selection circuitries 40 and 43, and 44].

[0052]And the analog video signal of the data signal line 62 is supplied to the drain signal line 61. [according to the sampling signal based on level start signal STH] [sampling transistor SP]

[0053]Based on the vertical start signal STV, a scanning signal is supplied to the gate signal line 51. If the one [TFT71] according to a scanning signal, the analog video signal Sig will be transmitted to the display electrode 80 from the drain signal line 61, and it is held at the auxiliary capacity 85. When the video-signal voltage impressed to the display electrode 80 is impressed to the liquid crystal 21 and the liquid crystal 21 carries out orientation according to the voltage, liquid crystal display can be obtained.

[0054]In this analog display mode, it is suitable to display full color video. However, since they are driven to LSI91 of the external circuit board 90, and each drivers 50 and 60, electric power is consumed continuously.

(2) If digital display mode is chosen according to digital display mode mode switching signal MD, it will be set as the state where a digital video signal is outputted to the data signal line 62, and the potential of the circuit selection signal line 88 is set to "H", and operation of the holding circuit 110 is attained. One [TFT41 of the circuit selection circuitries 40 and 43 and 44 turn off, and / TFT42 and 45].

[0055]Start signal STV and STH are inputted into the gate driver 50 and the drain driver 60 from LSI91 for a panel drive of the external circuit board 90. According to it, a sampling signal occurs one by one, in order, the digital video signal Sig is sampled, and each drain signal line 61 is supplied. [according to each sampling signal] [sampling transistor SP1, SP2, --, SPn]

[0056]The gate signal line 51 with which the 1st line G1, i.e., a scanning signal, is impressed here is explained. First, one [each TFT (each display pixel P11 connected to the gate signal line 51 by the scanning signal G1, P12, --P1n) / one horizontal scanning period].

[0057]If the 1st line display pixel P11 of the 1st row is observed, the digital video signal S11 sampled by sampling signal SP1 will be inputted into the drain signal line 61. And if TFT72 is turned on with the scanning signal G1, the drain signal D1 will be written in the holding circuit 110 of the display pixel P11.

[0058]At the time of this writing, the power supply voltage VDD supplied to two inverter circuits of the holding circuit 110 is set as minimum voltage (for example, 3V) required for the holding circuit 110 to hold data. For this reason, the on resistance of N channel type TFT of inverter INV2 shown in drawing 1 becomes high, and. Since the threshold of inverter INV1 falls, when the output node of inverter INV1 is the "H" level and it writes in the "H"

level of the drain signal D1 (= digital video signal S11), the degree of margin of writing improves.

[0059]That is, since the voltage of the "H" level of the drain signal D1 (= digital video signal S11) can be dropped, power supply voltage of the drive circuit of drain driver 60 grade can be made low. Size of TFT72 which constitutes the pixel selection circuit 70 can also be made small.

[0060]The signal held in this holding circuit 110 is inputted into the signal selection circuit 120, the signal A or the signal B is chosen in this signal selection circuit 120, that selected signal is impressed to the display electrode 80, and that voltage is impressed to the liquid crystal 21. In this way, by scanning from the gate signal line 51 to the gate signal line 51 of a final line, the writing for one screen (1 field period) is completed.

[0061]Then, the display (display of a still picture) based on the data held in the holding circuit 110 is performed. And according to the terminate signal Vend of a write-in period, the booster circuit 95 operates and pressure up of the power supply voltage VDD supplied to the holding circuit 110 is carried out. As for the power supply voltage VDD, at this time, it is preferred to carry out pressure up to voltage higher than the voltage which applied the threshold voltage (Vt) of TFT121,122 to the highest voltage of the signals A and B.

[0062]Thereby, since the signals A and B are supplied to the display electrode 80 by TFT121,122, without carrying out a level fall, the display of good image quality can be obtained.

[0063]At the time of this digital display mode, the feed voltage of the gate driver 50, the drain driver 60, and external LSI91 for a panel drive is suspended, and those drives are stopped. The voltage VDD and VSS is always supplied to the holding circuit 110, and it drives, and counter electrode voltage is supplied to the counterelectrode 32, and each signals A and B are supplied to the selection circuitry 120.

[0064]Namely, VDD for driving this holding circuit and VSS are supplied to the holding circuit 110, It is only impressing the counter electrode voltage VCOM (signal A) to a counterelectrode, impressing the voltage of the same potential as the counterelectrode 32 to the signal A, and impressing the volts alternating current (for example, 60 Hz) for driving a liquid crystal to the signal B, when the liquid crystal display panel's 100 is a no Moray white (NW). By doing so, one screen can be held and it can display as a still picture. It is in the state where voltage is not impressed to other gate driver 50, drain driver 60, and external LSI91.

[0065]When "H (high)" is inputted into the drain signal line 61 with a digital video signal in the holding circuit 110 at this time, Since "L" will be inputted into the 1st TFT121 in the signal selection circuit 120, the 1st TFT121 becomes off, and since "H" will be inputted into the 2nd TFT122 of another side, the 2nd TFT122 becomes one.

[0066]If it does so, the signal B will be chosen and the voltage of the signal B will be impressed to a liquid crystal. That is, since the volts alternating current of the signal B is impressed and a liquid crystal rises by an electric field, in the display panel of NW, it is

observable as a black display as a display.

[0067]When "L" is inputted into the drain signal line 61 with a digital video signal in the holding circuit 110, Since "H" will be inputted into the 1st TFT121 in the signal selection circuit 120, the 1st TFT121 becomes one, and since "L" will be inputted into the 2nd TFT122 of another side, the 2nd TFT122 becomes OFF.

[0068]If it does so, the signal A will be chosen and the voltage of the signal A will be impressed to a liquid crystal. That is, since the same voltage as the counterelectrode 32 is impressed, an electric field does not occur, but since a liquid crystal does not rise, as a display, it is observable [liquid crystal] in the display panel of NW as a white display.

[0069]Thus, in that case, although it can display as a still picture by writing in one screen and holding it, since the drive of each driver 50 and 60 and LSI91 is suspended, low power consumption can be carried out that much.

[0070]As mentioned above, according to the embodiment of this invention, it can respond to a full color cine mode display (in the case of analog display mode), and two kinds of displays called a digital gradation display (in the case of digital display mode) with the one liquid crystal display panel 100. The malfunction at the time of the writing of the holding circuit 110 can be prevented, and the detailed layout of low power consumption and a pixel is attained.

[0071]Although the above-mentioned embodiment explained analog display mode and digital display mode about the selectable display, this invention can write in a digital video signal, can be provided with the circuit 110 to hold, and can apply it to the display which performs image display according to the holding signal widely.

[0072]As for especially the display of this invention, it is preferred to apply to a high-reflective-liquid-crystal display also in a liquid crystal display. Then, it explains, referring to drawing 5 for the device structure of this high-reflective-liquid-crystal display.

[0073]As shown in drawing 5, polycrystalline silicon is comprised on one insulating substrate 10, the gate dielectric film 12 is formed on the island-ized semiconductor layer 11, it is the upper part of the semiconductor layer 11, and the gate electrode 13 is formed on the gate dielectric film 12.

[0074]The source 11s and the drain 11d are formed in the lower layer semiconductor layer 11 located in the both sides of the gate electrode 13. The interlayer insulation film 14 is deposited on the gate electrode 13 and the gate dielectric film 12, The contact hole 15 is formed in the position corresponding to the drain 11d, and the position corresponding to the source 11s, The drain 11d is connected to the drain electrode 16 via the contact hole 15, and the source 11s also passes the contact hole 18 established in the flattening insulator layer 17 provided on the interlayer insulation film 14, and is connected to the display electrode 19.

[0075]Each display electrode 19 formed on the flattening insulator layer 17 comprises reflection materials, such as aluminum (aluminum). On each display electrode 19 and the flattening insulator layer 17, the orienting film 20 which comprises the polyimide etc. which

carry out orientation of the liquid crystal 21 is formed.

[0076]the insulating substrate 30 top of another side -- red (R) and green -- (G) and blue -- the counterelectrode 32 which comprises transparent conductive films which assume each color of (B), such as the light filter 31 and ITO (Indium Tin Oxide), and the orienting film 33 which carries out orientation of the liquid crystal 21 are formed in order. When not considering it as a colored presentation, the light filter 31 is unnecessary.

[0077]In this way, the circumference of the insulating substrates 10 and 30 of the formed couple is pasted up by an adhesive sealant, the opening formed of it is filled up with the liquid crystal 21, and a high-reflective-liquid-crystal display is completed.

[0078]As a figure middle point line arrow shows, it enters sequentially from the counter electrode substrate 30, it can be reflected by the display electrode 19, the outdoor daylight which entered from the observer 1 side can be emitted to the observer 1 side, and the observer 1 can observe a display.

[0079]Thus, a high-reflective-liquid-crystal display is a method which reflects outdoor daylight and observes a display, and in order that there may be no necessity of using what is called a back light for an opposite hand the observer side, like a transmission type liquid crystal display, it does not need the electric power for making the back light turn on. Therefore, it is preferred that it is the high-reflective-liquid-crystal display which fitted electrical-power-consumption-saving-ization by back light needlessness as a display of this invention.

[0080]In an above-mentioned embodiment, although the case where counter electrode voltage and the voltage of the signals A and B were being impressed was shown at all the dot scan periods of one screen, this invention is not limited to it and does not need to impress each of such voltage in this period.

[0081]In an above-mentioned embodiment, in digital display mode, although the case where a 1-bit digital data signal was inputted was explained, it is not limited to it and this invention can be applied also in the case of a digital data signal [two or more bits].

[0082]Multi-tone can be displayed by doing so. It is necessary to make it the number of the holding circuits and signal selection circuits according to the number of bits to input in that case.

[0083]In an above-mentioned embodiment, although the case where a still picture was displayed on some liquid crystal display panels was explained, this application is not limited to it, is possible also for displaying a still picture on all the display pixels, and does so the characteristic effect of the invention in this application.

[0084]In an above-mentioned embodiment, although the case of the high-reflective-liquid-crystal display was explained, it can use also for a transmission type liquid crystal display by arranging a transparent electrode within 1 pixel to TFT, a holding circuit, a signal selection circuit, and the field except signal wiring. Also when it uses for a transmission type liquid crystal display, after displaying one screen, reduction of the power consumption of the part can be aimed at by suspending the feed voltage of the gate driver 50, the drain

driver 60, and external LSI91 for a panel drive.

[0085]Next, the display concerning a 2nd embodiment of this invention is explained. The circuitry figure at the time of applying the display of this invention to EL (electroluminescence) display is shown in drawing 6. Pixel selection TFT72 is arranged near the intersection of the gate signal line 51 and the drain signal line 61, and the source of TFT72 is connected to the holding circuit 110. The holding circuit 110 is constituted by two inverter circuit INV1 by which positive feedback was carried out, and INV2.

[0086]And the output of the holding circuit 110 is impressed to the gate of N channel type TFT125 for EL drives. The source of TFT for EL drives is connected to voltage source VA, and the drain is connected to the anode of the organic EL device 22. Bias of the cathode 33 of the organic EL device 22 is carried out to the common voltage VCOM.

[0087]Here, the digital image data from the drain signal line 61 is written in the holding circuit 110 like an above-mentioned embodiment. Here, the power supply voltage VDD supplied to two inverter circuits which constitute the holding circuit 110 is set as minimum voltage (for example, 3V) required for the holding circuit 110 to hold data during a data writing period.

[0088]comparatively low [considering the case where "H" is outputted from the holding circuit 110 now,] in the gate of TFT125 for EL drives -- voltage (for example, 3V) is carried out. Here, by adjusting the threshold of TFT125 for EL drives, the organic EL device 22 is in an OFF state or a high resistance state, and it is assumed that the light is put out.

[0089]And about the period which performs the display (display of a still picture) based on the data held in the holding circuit 110, pressure up of the power supply voltage VDD is carried out to high tension after the end of a data writing period. Then, the voltage of the gate of TFT125 for EL drives also becomes high. Therefore, when the bias more than VF is added to the anode of the organic EL device 22, it will be in an ON state and comes to switch on the light.

[0090]Therefore, according to the EL display of composition of having mentioned above, it is that the power supply voltage VDD is set up low during a data writing period, Like the embodiment mentioned above, by both making possible pressure up of the low power consumption of the power supply voltage VDD after a write end, an organic EL device lights up and a good light-emitting display is obtained.

[0091]

[Effect of the Invention]In the display which equipped each display pixel with the holding circuit for holding digital image data according to the display of this invention, Since the power supply voltage supplied to a holding circuit was written in, it sometimes set up low and it has set up highly at the time of the display after writing, the erroneous write of the data to the holding circuit concerned is prevented, and low power consumption can be attained.

[0092]According to the display of this invention, since a pixel selection element can be made small, it becomes possible to perform the detailed layout of a pixel.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a circuitry figure of the liquid crystal display concerning a 1st embodiment of this invention.

[Drawing 2]It is a circuitry figure of the booster circuit concerning a 1st embodiment of this invention.

[Drawing 3]It is a circuitry figure of the switch circuit of the video signal concerning a 1st embodiment of this invention.

[Drawing 4]It is a timing diagram of the liquid crystal display concerning a 1st embodiment of this invention.

[Drawing 5]It is a sectional view of a high-reflective-liquid-crystal display.

[Drawing 6]It is a circuitry figure of the EL display concerning a 2nd embodiment of this invention.

[Drawing 7]It is a circuitry figure of the liquid crystal display concerning a conventional example.

[Drawing 8]They are other circuitry figures of the liquid crystal display concerning a conventional example.

[Drawing 9]It is a circuit diagram for explaining the problem of the liquid crystal display concerning a conventional example.

[Description of Notations]

10 Insulating substrate

13 Gate electrode

21 Liquid crystal

40 Circuit selection circuitry

43 Circuit selection circuitry

50 Gate driver

51 Gate signal line

60 Drain driver

61 Drain signal line

70 Pixel selection circuit
85 Auxiliary capacity
95 Booster circuit
110 Holding circuit
120 Signal selection circuit

[Translation done.]

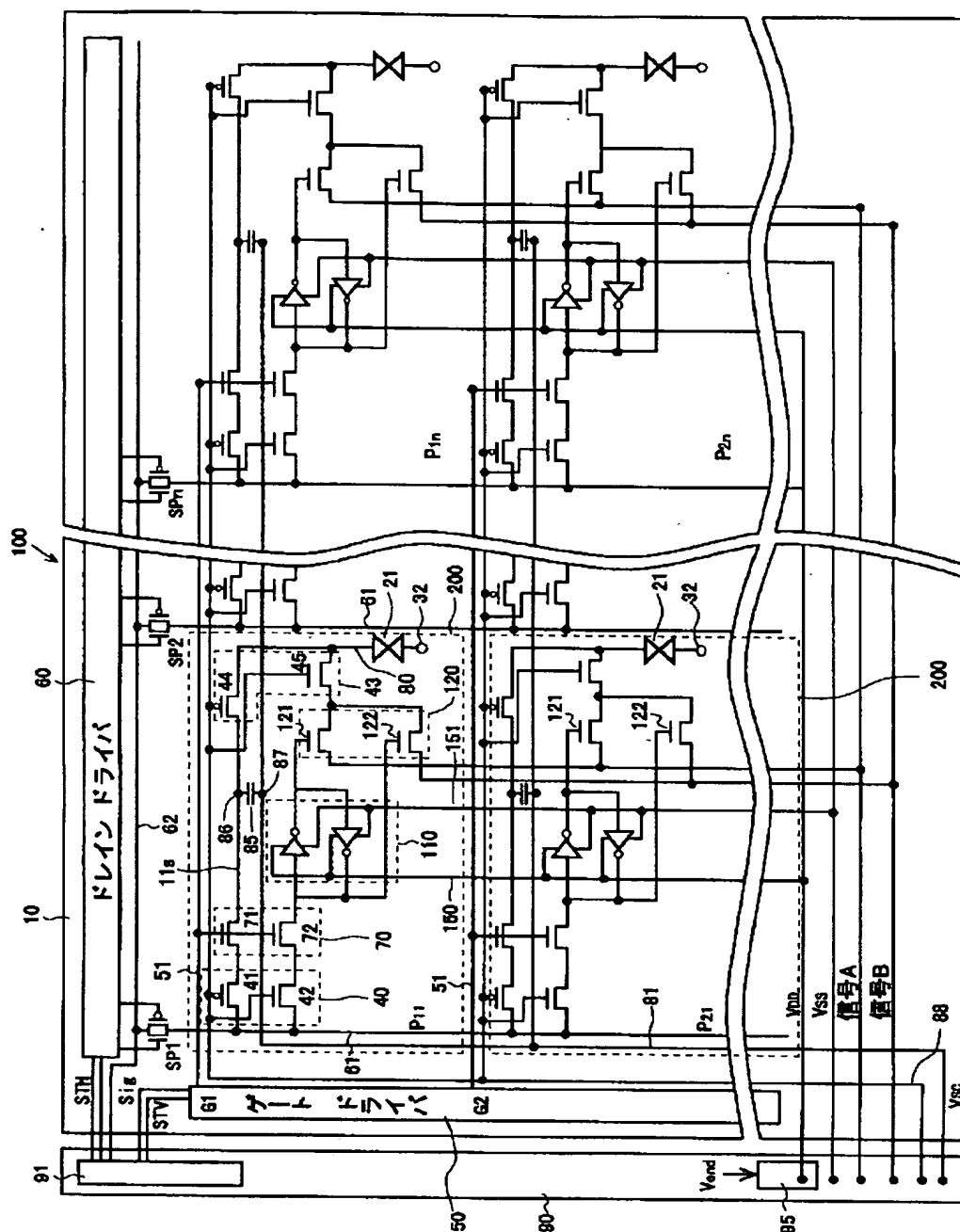
* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

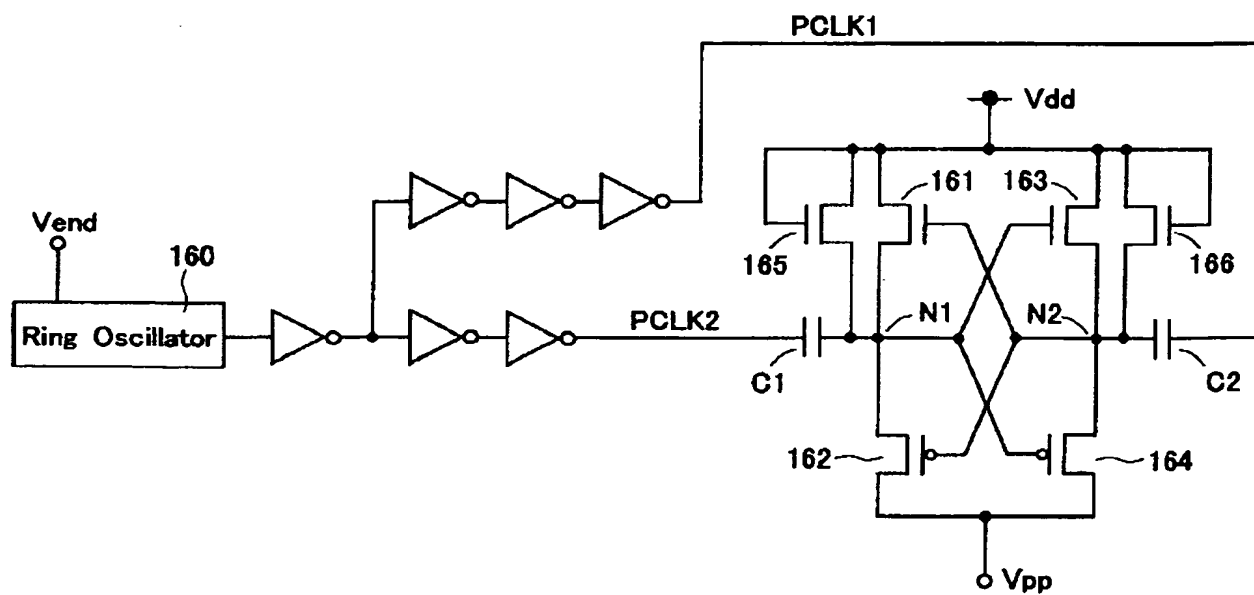
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

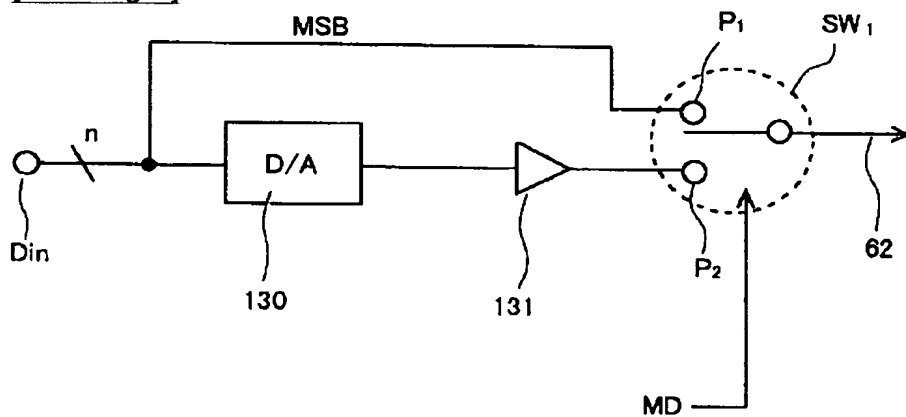
[Drawing 1]



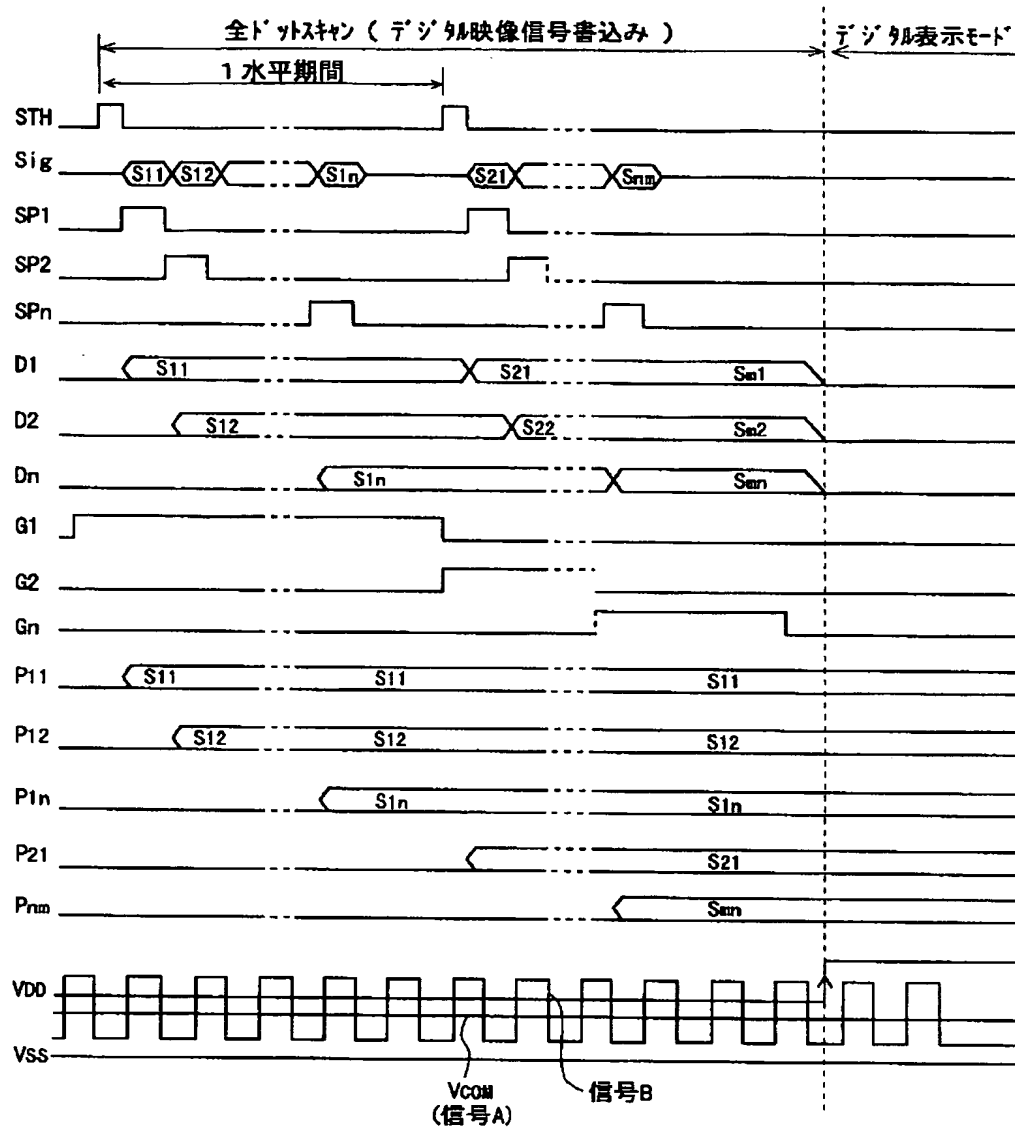
[Drawing 2]



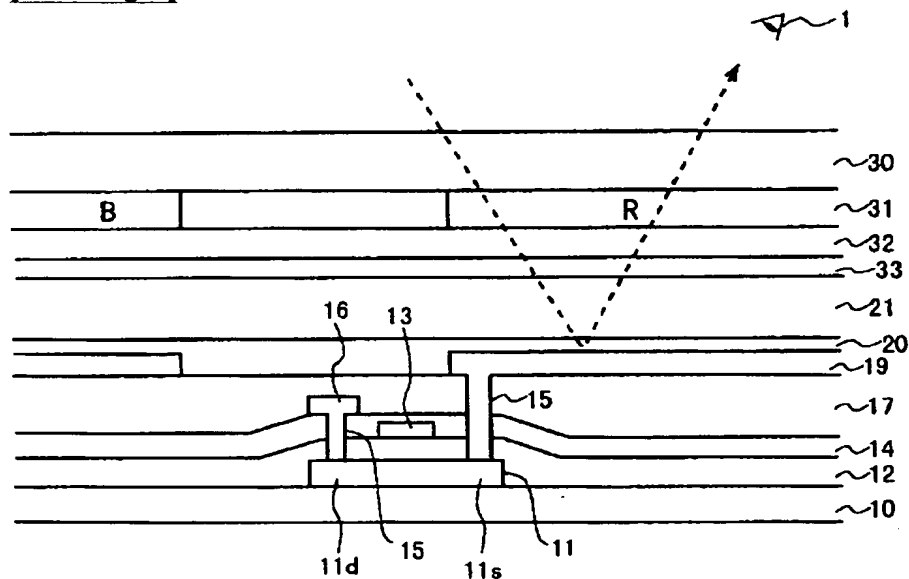
[Drawing 3]



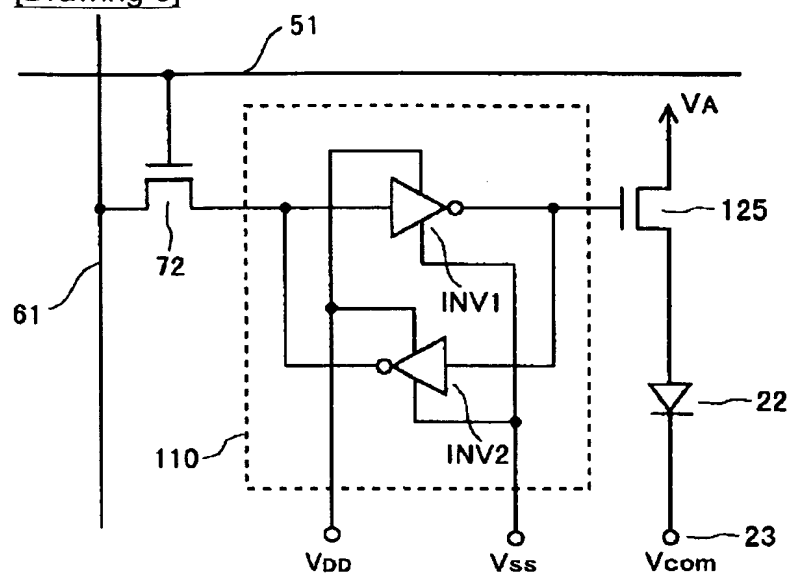
[Drawing 4]



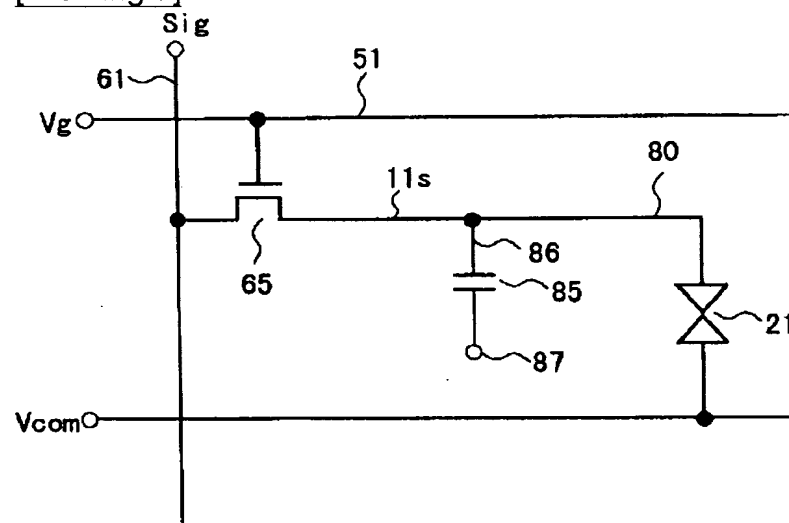
[Drawing 5]



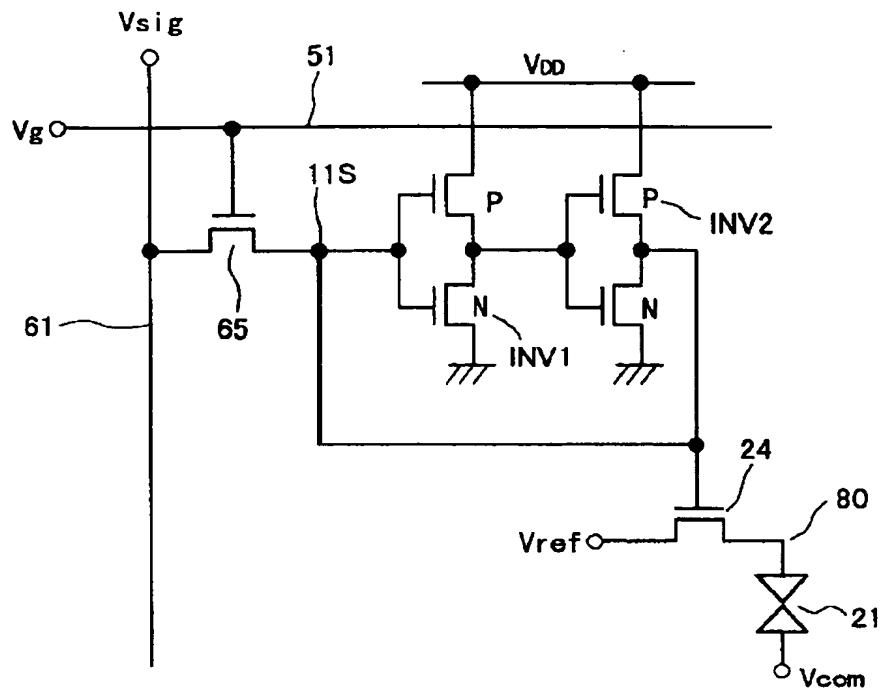
[Drawing 6]



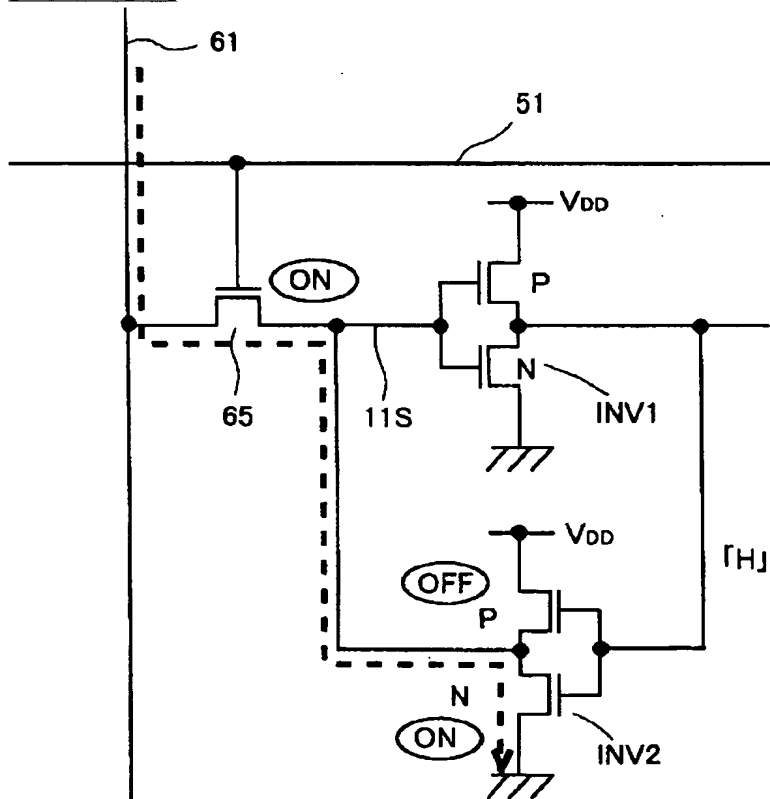
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]